

Searching PAJ

1/1 ページ
Cite No. 12

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-288848
(43)Date of publication of application : 01.11.1996

(51)Int.Cl.

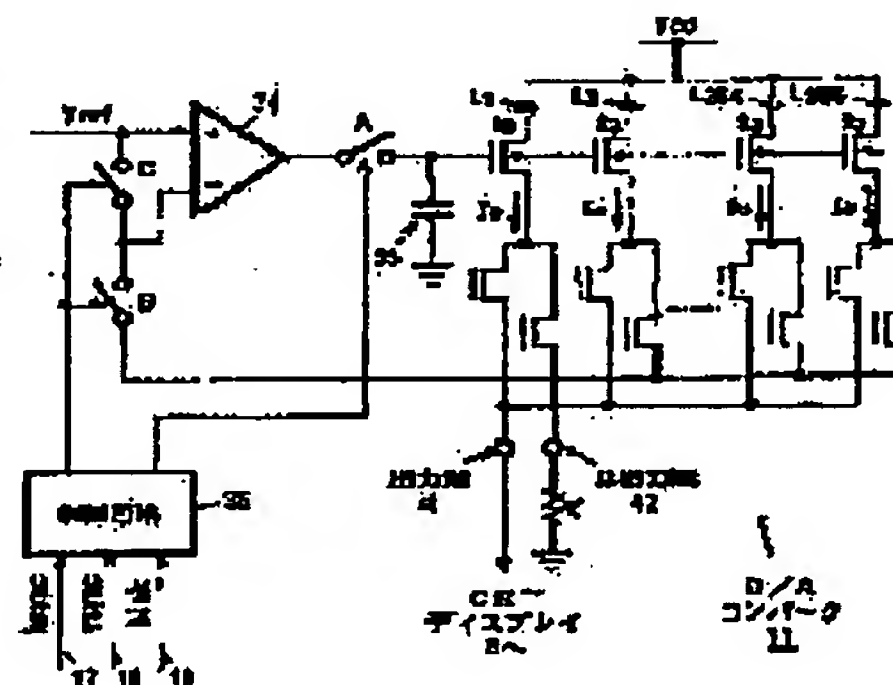
H03M 1/74
H04N 9/00(21)Application number : 07-075084
(22)Date of filing : 31.03.1995(71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>
(72)Inventor : KOYAMA SEIJI
NOZAWA TORU
TERUKINA ASAO
SUZUKI KOSUKE

(54) D/A CONVERTER

(57)Abstract:

PURPOSE: To provide a current output type D/A converter which can appropriately compensate the fluctuation of characteristics caused by each constant current circuit.

CONSTITUTION: Concerning a D/A converter 11 with which an analog output current corresponding to digital input data is provided from the output side by electrifying the respective output currents of plural constant current circuits while switching them to the output side or the non-output side corresponding to the digital input data, during a period in which the output currents of all constant current circuits L1-L255 are switched to the non-output side, the feedback control of output current values from the constant current circuits is performed based on the analog output current on the non-output side.



LEGAL STATUS

[Date of request for examination] 28.04.1997
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 3062035
 [Date of registration] 28.04.2000
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

5

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-288848

(43) 公開日 平成8年(1996)11月1日

(51) Int. Cl. ⁹	識別記号	庁内整理番号	P I	技術表示箇所
H03M 1/74			H03M 1/74	
H04N 9/00			H04N 9/00	E

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願平7-75084

(22) 出願日 平成7年(1995)3月31日

(71) 出願人 39000531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州

アーモンク (番地なし)

(72) 発明者 小山 誠司

神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内

(74) 代理人 弁理士 合田 潔 (外2名)

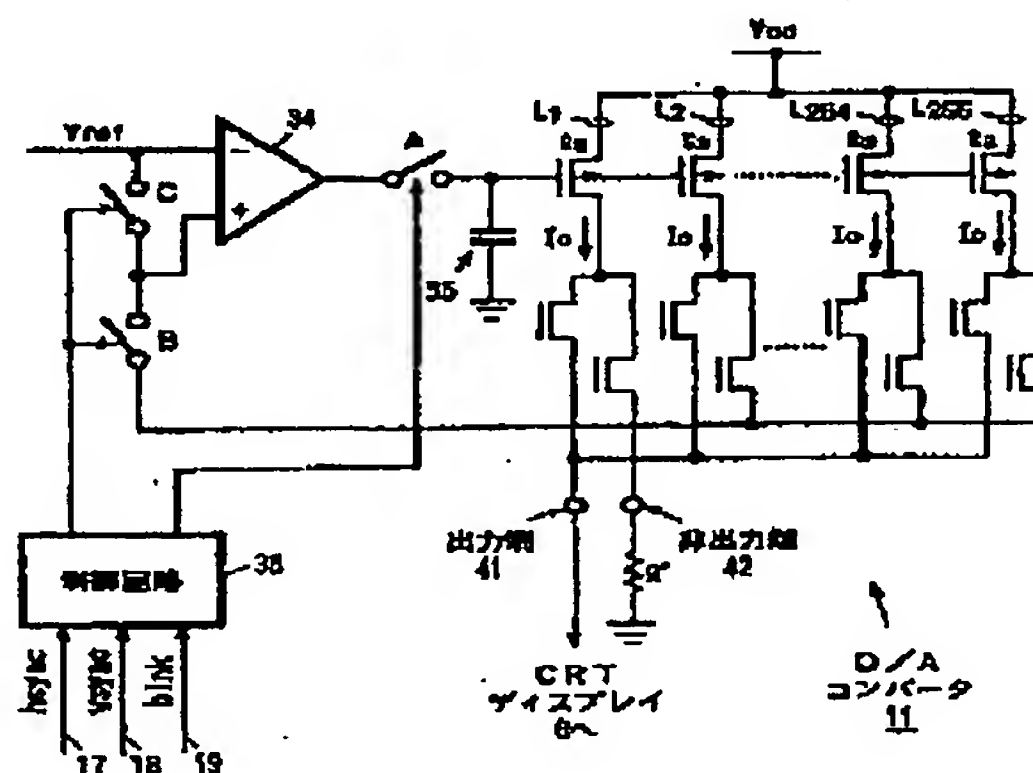
最終頁に続く

(54) 【発明の名称】 D/Aコンバータ

(57) 【要約】

【目的】 各定電流回路で生じる特性の変動を好適に補償できる、電流出力型D/Aコンバータを提供する。

【構成】 複数の定電流回路の出力電流のそれぞれをデジタル入力データに応じて出力側又は非出力側に切り換えて通電させることによって前記出力側から前記デジタル入力データに応じたアナログ出力電流を得るD/Aコンバータにおいて、全ての定電流回路の出力電流が非出力側に切り換えられた期間に、該非出力側のアナログ出力電流に基づいて前記定電流回路の出力電流値をフィードバック制御することを特徴とするD/Aコンバータである。



(2)

特開平 8 - 2 8 8 8 4 8

【特許請求の範囲】

【請求項 1】複数の定電流回路の出力電流のそれぞれをデジタル入力データに応じて出力側又は非出力側に切り換えて通電させることによって前記出力側から前記デジタル入力データに応じたアナログ出力電流を得る D/A コンバータにおいて、全ての定電流回路の出力電流が非出力側に切り換えられた期間に、該非出力側のアナログ出力電流に基づいて前記定電流回路の出力電流値をフィードバック制御することを特徴とする D/A コンバータ。

【請求項 2】複数の定電流回路の出力電流のそれぞれをデジタル入力データに応じて出力側又は非出力側に切り換えて通電させることによって前記出力側から前記デジタル入力データに応じたアナログ出力電流を得る D/A コンバータにおいて、デジタル入力データがゼロ・レベルの期間における非出力側のアナログ出力電流に基づいて前記定電流回路の出力電流値をフィードバック制御することを特徴とする D/A コンバータ。

【請求項 3】ビデオ・コントローラからデジタル入力データと水平・垂直同期信号とブランキング信号とを受け取り、複数の定電流回路の出力電流のそれぞれを前記デジタル入力データに応じて出力側又は非出力側に切り換えて通電させることによって前記出力側から前記デジタル入力データに応じたアナログ出力電流を得て、表示装置に出力するための D/A コンバータにおいて、非表示期間における非出力側のアナログ出力電流に基づいて前記定電流回路の出力電流値をフィードバック制御することを特徴とする D/A コンバータ。

【請求項 4】前記非表示期間は、前記水平・垂直同期信号によって示される帰線期間であることを特徴とする請求項 3 に記載の D/A コンバータ。

【請求項 5】前記非表示期間は、前記ブランキング信号によって示されるブランキング期間であることを特徴とする請求項 3 に記載の D/A コンバータ。

【請求項 6】入力したデジタル・データに応じたアナログ出力電流を得るための D/A コンバータにおいて、

(a) 入力したデジタル・データに応じた本数の出力信号をイネーブルにするデコーダと、

(b) それぞれ、印加されたゲート電圧に応じて通過電流が調整されるスイッチと、前記デコーダから受け取った出力信号に応じて出力側又は非出力側のいずれか一方にのみ前記通過電流を流す差動回路を含む、複数の定電流回路と、

(c) 各定電流回路の出力側を集結した出力端と、

(d) 各定電流回路の非出力側を集結した非出力端と、

(e) 前記非出力端における電流量を電圧に変換するための電流-電圧変換手段と、

(f) 前記電流-電圧変換手段の出力電圧を非反転側入力端子に入れるとともに、所定の基準電圧を反転側入力端子に入れて、両者の差分に応じた電圧を前記複数の定電

流回路の各スイッチにゲート電圧として与える差動アンプと、

(g) 前記差動アンプの出力電圧を一時保持可能なキャパシタと、

(h) 前記差動アンプとキャパシタとの間を接続/遮断するための第 1 のスイッチと、

(i) 前記電流-電圧変換手段の出力と前記差動アンプの非反転側入力端子との間を接続/遮断するための第 2 のスイッチと、

(j) 前記所定の基準電圧と前記差動アンプの非反転側入力端子との間を接続/遮断するための第 3 のスイッチと、

(k) 前記第 1、第 2、及び第 3 のスイッチの開閉動作を制御するための制御回路と、を含むことを特徴とする D/A コンバータ。

【請求項 7】前記制御回路は、前記複数の定電流回路の出力電流の全てが前記非出力端に集結した期間に前記第 1 及び第 2 のスイッチを閉じるとともに前記第 3 のスイッチを開き、それ以外の期間では前記第 1 及び第 2 のスイッチを開くとともに前記第 3 のスイッチを閉じることとを特徴とする請求項 6 に記載の D/A コンバータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デジタル信号をアナログ信号に変換する D/A コンバータに係り、特に、入力したデジタル信号値に比例した大きさのアナログ電流に変換する電流出力型の D/A コンバータに関する。更に詳しくは、本発明は、ビデオ・コントローラが出力するデジタル信号をアナログ信号に変換して CRT 表示装置に渡すための D/A コンバータに関する。

【0002】

【従来の技術】昨今、パーソナル・コンピュータやグラフィック端末装置、ワード・プロセッサなど、デジタル信号を扱う情報処理装置が普及してきている。これら情報処理装置のための表示手段としては、液晶ディスプレイ (Liquid Crystal Display: LCD) か、または CRT (Cathod Ray Tube: ブラウン管ともいう) ディスプレイが用いられるのが一般的である。

【0003】図 3 には、パーソナル・コンピュータのハードウェア構成のうち、ディスプレイ装置及びその関連箇所を抽出し、且つ模式的に示している。パーソナル・コンピュータには、他の周知のハードウェア構成要素が含まれているが、本明細書では説明の便宜上省略している点を、当業者であれば理解できるであろう。

【0004】図 3 において、CPU 1 は、オペレーティング・システム (OS) の制御下で各アプリケーションを実行するようになっている。CPU 1 は、I/O バス 2 と呼ばれる共通信号伝送路によって他の入出力装置と連絡している。ビデオ・コントローラ 3 は、I/O バス

(3)

特開平 8 - 2 8 8 8 4 8

2に連絡している入出力装置の1つであり、CPU1から受け取った描画コマンドを実際に描画処理したり、ディスプレイ装置の解像度などを決めたりするための周辺コントローラである。処理中の描画情報はVRAM4とよばれる画面バッファに一時記憶される。そして、LCD5やCRT6などの各ディスプレイ装置には、VRAM4の内容に従った画面が表示されるようになっている。LCD5は、デジタル信号によって駆動されるデバイスであり、液晶駆動回路(LCDC)7が描画情報に従ったデジタルの駆動信号を出力するようになっている。これに対して、CRTディスプレイ装置6はアナログ信号によって駆動されるデバイスなので、ビデオ・コントローラ3から受け取ったデジタル信号をD/A(Digital to Analog)コンバータ10によって一旦アナログ信号に変換してからCRTディスプレイ装置6に送すようになっている。

【0005】図4には、図3のD/Aコンバータ10周辺の構成を更に詳しく示している。カラーCRTディスプレイ装置6は、RGB(red, green, blue)3色の蛍光体を1セットにして構成され、且つ3本の電子ビームを用いて各蛍光体を照射するようになっている(図示しない)。そして、D/Aコンバータ10は、実際には、1チップ内にRGBそれぞれに対応して3チャンネルのD/Aコンバータ11, 12, 13を含んだ回路構成となっている。各D/Aコンバータ11, 12, 13は、それぞれバス信号線14, 15, 16を介して、ビデオ・コントローラ3から各色の濃淡階調に応じたデジタル信号を時々刻々受け取っている。各バス信号線14, 15, 16のバス幅は、サポートする階調数に対応しており、例えば256(=2⁸)階調であれば各バス14, 15, 16の幅は8ビット必要である。そして、各D/Aコンバータ11, 12, 13は、受け取ったデジタル信号に対応した電流強度を持つアナログ信号(すなわち映像信号)を生成して、各出力信号線20, 21, 22を介してCRTディスプレイ装置6に出力するようになっている。

【0006】なお、ビデオ・コントローラ3は、上述のバス信号線14, 15, 16の他に、水平同期信号(hsync)17、垂直同期信号(vsync)18や、ブランキング信号(blink)19も、D/Aコンバータ10に対して供給している。ここで、水平同期信号17と垂直同期信号18は、分解された映像信号を再び組立て走査するための同期信号である。各同期信号17, 18は、電子ビームの蛍光面の走査するための走査期間と、一方向の走査が終わって次の走査点に移るための帰線期間とを含んでいる。また、ブランキング信号19は、蛍光面上の走査領域のマージンをとってその周縁部を切り揃えるための信号である。ブランキング信号によって表示がなされない期間をブランキング期間という。帰線期間とブランキング期間は、蛍光面上に電子ビーム

が照射されず、したがって、何も表示されない「非表示期間」である。また、この非表示期間の間、各D/Aコンバータ11, 12, 13からはビデオ・データに相当する信号の出力がない、ということを当業者であれば容易に理解できるであろう。

【0007】図5(a)には蛍光面上の走査線と帰線期間・ブランキング期間との関係を模式的に示している。また、図5(b)には水平同期信号17、垂直同期信号18、ブランキング信号19のタイミング・チャートを示している。図5に示す内容自体は既に周知である。

【0008】図6には、D/Aコンバータ11の構成を更に詳しく図解している。なお、他の2つのチャンネルのD/Aコンバータ12, 13については特に図解しないが、いずれも図6と略同一構成であると理解されたい。

【0009】図6においてD/Aコンバータ11は、255個の定電流回路L₁, L₂, ..., L₂₅₅と、1個のデコーダ31を含んでいる。

【0010】各定電流回路L₁, L₂...は、それぞれ、一方の端部が安定化電源V_{CC}に並列的に接続しているとともに、MOS FETスイッチS₃を直列接続している。そして、各FETスイッチS₃がゲート電圧に応じてソース・ドレイン間を通過可能な飽和電流が定まるという特性を利用することによって、各定電流回路L₁, L₂...には常に一定電流I₀が流れるようにしている。また、各定電流回路L₁, L₂...の他方の端部には、出力電流I₀を出力側又は非出力側のいずれかに切り換えるための差動回路が接続されている。各差動回路は、並列接続された2つのMOS FETスイッチS₁, S₂で構成されており、S₁及びS₂の各ドレインがそれぞれ定電流回路の出力側と非出力側になっている。スイッチS₁, S₂の各ゲートには、デコーダ31(後述)からの対応出力信号をそれぞれ非反転及び反転して入力しており、スイッチS₁, S₂のいずれか一方のみが選択的に通電状態になって、出力側又は非出力側のいずれかに出力電流I₀を流すようになっている。そして、各定電流回路L₁, L₂...の出力側と非出力側は、それぞれD/Aコンバータ31全体の出力端41及び非出力端42に集められている。出力端41の電流強度はアナログの映像信号(R)であり、信号線20を介してCRTディスプレイ6に与えられる。また、非出力端42は、CRTディスプレイ6の駆動には不要なので、GNDで終端されている。

【0011】一方、デコーダ31は、ビデオ・コントローラ3から濃淡階調を示す8ビットのデジタル信号14を入力するとともに、255本の出力信号D₁, D₂, ..., D₂₅₅をそれぞれ対応する定電流回路L₁, L₂, ..., L₂₅₅の差動回路に与えている。デコーダ31は、255本の出力信号D₁, D₂, ..., D₂₅₅のうち、デジタル信号14の示す階調数に応じた本数だけをイネーブ

(4)

特開平 8-288848

ル化するようになっている。例えば、デジタル信号14のレベルが k （但し $0 \leq k \leq 255$ ）の場合、 k 本の出力信号がイネーブルになる。この結果、255個の定電流回路 $L_1 \dots$ のうち k 個において差動回路が出力側に切り換え、出力端41には強度 $k \times I_0$ の電流が集まる。また、その他（ $255 - k$ ）個の定電流回路では、差動回路が非出力側に切り換えるので、非出力端42には強度 $(255 - k) \cdot I_0$ の電流が集まる。要するに、D/Aコンバータ11は、各定電流回路は常に一定電流を通過しながら、時々刻々必要な分（すなわちデジタル入力データの分）だけ出力側に切り換えて加算することによって、所望の強度のアナログ出力電流を得るようになっている訳である。なお、ここで頻出する255（ $= 2^8 - 1$ ）なる数値は、当該ビデオ・システムがサポートする階調数に依るものである。例えば2 n の階調数をサポートする場合、デコーダ31の入力バス14のビット幅は n 、デコーダ31の出力信号の本数及び定電流回路の個数は $2^n - 1$ である。

【0012】前述したように、各定電流回路 $L_1, L_2 \dots$ は、FETスイッチ S_3 の飽和電流を利用することによって一定電流 I_0 を供給できるようにしている。しかしながら、現実には、各FETスイッチ S_3 に同じゲート電圧を印加しても、必ずしもその通過可能な飽和電流が同じになるとは限らない。このことは、製造プロセスによってチップ間又はチップ内で特性にばらつきが生じたり、周囲温度や電源電圧の変動によってスイッチング特性が変化する、という半導体素子の一般的な性質を鑑みれば自明であろう。ところが、ビデオ用D/Aコンバータでは、ある1つのチャンネル内での出力電流 I_0 の誤差は他のチャンネルのD/Aコンバータとの間での誤差にもなって、CRTディスプレイ装置の画面上にも現れる。また、ビデオ用D/Aコンバータでは、出力電流の最大振幅の絶対値が規定されている。したがって、FETスイッチ S_3 の特性を補償して、各定電流回路が常に一定の電流を出力するように制御してやる必要がある。

【0013】そこで、例えば図6では、各FETスイッチ S_3 のスイッチング特性を補償するための補償回路33を増設するとともに、補償回路33からの指令に応じてゲート電圧発生回路32が各スイッチ S_3 に適切なレベルのゲート電圧を与えて、出力電流 I_0 を制御するようにしている。ところが、FETスイッチ S_3 を好適に補償するためには、補償回路32は複雑な構成を要することが多く、設計・製作が容易ではない。

【0014】図7には、電流値の補償を実現したD/Aコンバータ11の一例を示している（但し、図面の簡素化のため、デコーダ31を省略してある）。同図によれば、D/Aコンバータ11は、映像信号20を生成するための通常の定電流回路 L_1, L_2, \dots, L_{255} の他に、モニタ用の定電流回路 L_M を備えている。定電流回路 L_M は、他の定電流回路上のFETスイッチ S_3 と略同一の

スイッチ S_M を直列的に接続しており、該FETスイッチ S_M のソース側には一端に定電圧電源 V_{CC} を入れるとともに、ドレイン側には抵抗体 R （ $R = V_{CC} / I_0$ ）を介してGNDに終端されている。抵抗体 R は、定電流回路 L_M を流れるモニタ電流 I_M をモニタ電圧 V_M に変換する役割を果たしている。差動アンプ34は、点Pにおいてモニタ電圧 V_M を取り出して非反転側入力端子に入れるとともに、反転側入力端子には外部で生成された基準電圧 V_{ref} を入れて、 V_M と V_{ref} との電位差に応じたゲート電圧を各定電流回路 L_1, L_2, \dots, L_{255} それぞれのFETスイッチ S_3 に与えることによって、出力電流 I_0 のフィードバック制御を実現している。略言すれば、図7による手法は、本来出力に用いられる定電流回路とは異なるモニタ専用の定電流回路 L_M によって間接的にフィードバック制御を実現している訳である。D/Aコンバータにおけるこのような電流のフィードバック制御の技術は、例えばA. V. Voelt外著の“A 10-BIT HIGH SPEED CMOS DAC MACROCELL”（IEEE 1989 CUSTOM INTEGRATED CIRCUITS CONFERENCE, 6, 7, 1頁乃至6, 7, 4頁）などに開示されている。

【0015】しかしながら、図7に示すフィードバック制御では、モニタ用のFETスイッチ S_M が各定電流回路 S_3 と全く同じ特性を持ち、モニタ用の定電流回路 L_M を流れる電流 I_M は他の定電流回路 $L_1 \dots$ を流れる出力電流 I_0 と同量であることを前提としている。すなわち、チップ内での各半導体スイッチのばらつきの問題をカバーしていないのである。したがって、もし、 S_M と S_3 との間でスイッチング特性のばらつきのために、出力電流に ΔI 程度の誤差があった場合、出力端41では誤差 ΔI がそのまま、あるいは累積されて画面上の輝度の変動として現れ、画質を劣化させる要因となる。このような誤差 ΔI は、さらに、モニタ用定電流回路 L_M で消費される電流は、本来の映像信号とは関係のないものであり、わずかではあるが消費電力を増大させてしまうことにもなる。

【0016】

【発明が解決しようとする課題】本発明の目的は、デジタル信号値に比例した大きさのアナログ電流に変換する、優れた電流出力型D/Aコンバータを提供することにある。

【0017】本発明の更なる目的は、ビデオ・コントローラが出力するデジタル信号をアナログ信号に変換してCRT表示装置に渡すためのD/Aコンバータであって、入力したデジタル信号のレベルに応じた正確な強度のアナログ電流を出力できるD/Aコンバータを提供することにある。

【0018】本発明の更なる目的は、複数の定電流回路の出力電流をそれぞれデジタル入力データに応じて出力

(5)

特開平 8-288848

側又は非出力側のいずれかに切り換えて通電させることによってデジタル入力データのレベルに応じたアナログ出力電流を得るD/Aコンバータであって、各定電流回路で生じる特性の変動を好適に補償することができるD/Aコンバータを提供することにある。

【0010】

【課題を解決するための手段及び作用】本発明は、上記課題を参酌してなされたものであり、その第1の側面は、複数の定電流回路の出力電流のそれぞれをデジタル入力データに応じて出力側又は非出力側に切り換えて通電させることによって前記出力側から前記デジタル入力データに応じたアナログ出力電流を得るD/Aコンバータにおいて、全ての定電流回路の出力電流が非出力側に切り換えられた期間に、該非出力側のアナログ出力電流に基づいて前記定電流回路の出力電流値をフィードバック制御することを特徴とするD/Aコンバータである。

【0020】また、本発明の第2の側面は、複数の定電流回路の出力電流のそれぞれをデジタル入力データに応じて出力側又は非出力側に切り換えて通電させることによって前記出力側から前記デジタル入力データに応じたアナログ出力電流を得るD/Aコンバータにおいて、デジタル入力データがゼロ・レベルの期間における非出力側のアナログ出力電流に基づいて前記定電流回路の出力電流値をフィードバック制御することを特徴とするD/Aコンバータである。

【0021】また、本発明の第3の側面は、ビデオ・コントローラからデジタル入力データと水平・垂直同期信号とブランキング信号とを受け取り、複数の定電流回路の出力電流のそれぞれを前記デジタル入力データに応じて出力側又は非出力側に切り換えて通電させることによって前記出力側から前記デジタル入力データに応じたアナログ出力電流を得て、表示装置に出力するためのD/Aコンバータにおいて、非表示期間における非出力側のアナログ出力電流に基づいて前記定電流回路の出力電流値をフィードバック制御することを特徴とするD/Aコンバータである。

【0022】また、本発明の第4の側面は、入力したデジタル・データに応じたアナログ出力電流を得るためのD/Aコンバータにおいて、(a) 入力したデジタル・データに応じた本数の出力信号をイネーブルにするデコーダと、(b) それぞれ、印加されたゲート電圧に応じて通過電流が調整されるスイッチと、前記デコーダから受け取った出力信号に応じて出力側又は非出力側のいずれか一方にのみ前記通過電流を流す給電回路を含む、複数の定電流回路と、(c) 各定電流回路の出力側を集結した出力端と、(d) 各定電流回路の非出力側を集結した非出力端と、(e) 前記非出力端における電流値を電圧に変換するための電流-電圧変換手段と、(f) 前記電流-電圧変換手段の出力電圧を非反転側入力端子に入れるとともに、所定の基準電圧を反転側入力端子に入れて、両者の

差分に応じた電圧を前記複数の定電流回路の各スイッチにゲート電圧として与える差動アンプと、(g) 前記差動アンプの出力電圧を一時保持可能なキャパシタと、(h) 前記差動アンプとキャパシタとの間を接続/遮断するための第1のスイッチと、(i) 前記電流-電圧変換手段の出力と前記差動アンプの非反転側入力端子との間を接続/遮断するための第2のスイッチと、(j) 前記所定の基準電圧と前記差動アンプの非反転側入力端子との間を接続/遮断するための第3のスイッチと、(k) 前記第1、第2、及び第3のスイッチの開閉動作を制御するための制御回路と、を含むことを特徴とするD/Aコンバータである。

【0023】しかし、本発明は、電流出力型のD/Aコンバータにおいて、非出力側に出力電流が集められた期間に、電流量をフィードバック制御するようにしたものである。本発明の最大の利点は、本来出力として用いられる定電流回路の電流を直接モニタできる点にある。本発明によれば、D/Aコンバータの出力電流を高精度にフィードバック制御することができる。また、本来の定電流回路を直接モニタしているため、電源電圧の変動、周囲温度の変動、ICの製造プロセスで不可避なチップ内及びチップ間のばらつきなどが生じて、各種誤差要因を直接的且つ好適に補償することができる。

【0024】また、非出力側からの出力はそもそもON/OFFで終端されているだけの浪費電力であったが、本発明では該浪費電力を有効に活用することにもなる。また、電流値制御だけのためのモニタ用FETによる電力消費がないので、わずかではあるが節電にもなる。

【0025】本発明を、例えばパーソナル・コンピュータなどのデジタル的なビデオ信号をアナログ変換するためのD/Aコンバータに適用する場合、水平及び垂直走査の帰線期間やブランキング期間などのいわゆる「非表示期間」を利用して、定電流回路の出力電流量をフィードバック制御すればよい。このような非表示期間では各定電流回路の出力電流は全て非出力側に切り換えられているので、D/Aコンバータのフル・スケールの出力電流値を直接用いてフィードバック制御できる。

【0026】本発明のさらに他の目的、特徴や利点は、後述する本発明の実施例や添付する図面に基づくより詳細な説明によって明らかになるであろう。

【0027】

【実施例】以下、図面を参照しながら本発明の実施例を詳解する。

【0028】図1には、本発明の実施に供されるD/Aコンバータ11の構成を示している（但し、図面の簡素化のため、デコーダ31を省略してある）。図7と同一の構成要素については同一の参照番号を付してある。本実施例が図7に示す従来例と構成上で相違する主な点は、(a) 電流値補償のためのモニタ用の定電流回路を持たない点、(b) 非出力端42の出力電流を抵抗体R'で

(6)

特開平 8-288848

電圧に変換して差動アンプ34の非反転側入力端子に入れている点、(c) 差動アンプ34の出力を接続・切り放しするためのスイッチAを備えた点、(d) 差動アンプAの出力電圧レベルを一時的に保持するためのキャパシタ35を備えた点、(e) 差動アンプ34の非反転側入力端子をD/Aコンバータ11の非出力端42又は反転側入力端子に切り換えるためのスイッチB及びCを備えている点、(f) 各スイッチA、B、Cを制御するための制御回路36を備えている点などである。

【0029】 前述したように、帰線期間やブランキング期間などの非表示期間には、定電流回路 $L_1 \dots$ の各差動回路は出力を非出力側に切り換えられているので、全ての出力電流 $(=255 \times I_0)$ は非出力端42に集められる。そして、この出力電流は、抵抗体 R' で電圧に変換されるようになっている。

【0030】 制御回路36は、スイッチA、B、Cの開閉動作を制御するためのものである。より具体的には、制御回路36は、水平同期信号17、垂直同期信号18、ブランキング信号19のうち少なくとも1つを入力して、表示期間か非表示期間かの判別を行い、非表示期間であればスイッチA、Bを閉じるとともにスイッチCを開き、逆に表示期間であればスイッチA、Bを開くとともにスイッチCを閉じるようになっている。

【0031】 スイッチA、Bが閉じられ、スイッチCが開かれた場合、非出力端42の出力電流が抵抗体 R' で電圧に変換されて差動アンプ34の非反転側入力端子に入れられる。そして、差動アンプ34は、基準電圧 V_{ref} との差に応じたゲート電圧を各スイッチ S_3 に与える。これによって各定電流回路 $L_1 \dots$ の出力電流 I_0 が調整される。また、この間、キャパシタ35には、差動アンプ34の出力端子と等価な電位が蓄えられることになる。

【0032】 逆に、スイッチA、Bが開かれ、スイッチCが閉じられた場合、差動アンプ34は、反転側及び非反転側の各入力が一致するので、その誤差出力はゼロになる。そして、キャパシタ35には、スイッチA、Bを開く直前の差動アンプ34の出力と同じ電位が蓄えられており、これが各スイッチ S_3 にゲート電位として与えられる。したがって、この状態では、キャパシタ35が蓄えた電位に基づいて各定電流回路 $L_1 \dots$ の出力電流 I_0 が定められることになる。

【0033】 なお、各スイッチA、B、Cは、MOS FETスイッチやバイポーラ・トランジスタなどのスイッチング素子を用いて構成することができる。

【0034】 次に、図1で示したD/Aコンバータ11の動作について、非表示期間と表示期間に分けて考察してみる。図2には、同期信号と出力端41及び非出力端42の各出力電流との関係をタイミング・チャートで示している。

【0035】 非表示期間

非表示期間では、制御回路36は、スイッチA、Bを閉じるとともに、スイッチCを開く。また、非表示期間では、各定電流回路 L_1, L_2, \dots, L_{255} の差動回路は非出力側に切り換えられており(図2参照)、全ての出力電流 $(=255 \times I_0)$ は非出力端42に集められている。そして、非出力端42の出力電流は、抵抗体 R' で電圧に変換され、スイッチBを経て、差動アンプ34の非反転側入力端子に入れられることになる。差動アンプ34は、基準電圧 V_{ref} との差に応じたゲート電圧を各スイッチ S_3 に与える。したがって、各定電流回路 $L_1 \dots$ の出力電流 I_0 は、直接モニタされてフィードバック制御される訳である。

【0036】 表示期間

一方、表示期間では、制御回路36は、スイッチA、Bを開くとともに、スイッチCを閉じる。この結果、差動アンプ34は、反転側及び非反転側の各入力が一致するので、その誤差出力はゼロになる。そして、キャパシタ35にはスイッチA、Bを開く直前(すなわち非表示期間)における差動アンプ34の出力と同じ電位が蓄えられており、これが各スイッチ S_3 のゲート電位となる。したがって、表示期間では、非表示期間の最後の出力電流に基づいて各定電流回路 $L_1 \dots$ の出力電流 I_0 が制御されることになる。

【0037】 要するに、水平/垂直帰線期間やブランキング期間などの非表示期間には、D/Aコンバータ11はフィードバック制御状態になり、各定電流回路 $L_1 \dots$ のFETスイッチ S_3 のゲート電圧はフィードバック制御によって最適な値に修正される。また、それ以外の表示期間には、ホールド状態になって、スイッチ S_3 のゲート電圧は一定値に保たれる。

【0038】 なお、上記実施例では1つのチャンネル(Red)のD/Aコンバータ11に限定して説明したが、他の2つのチャンネル(Green, Blue)のD/Aコンバータ12、13についてもそれぞれ同様に本発明を適用可能なこと、及び本発明を適用することによってチャンネル間の誤差を好適に除去できるということは、当業者であれば理解できるであろう。

【0039】 以上、特定の実施例を参照しながら、本発明について詳解してきた。しかしながら、本発明の要旨を逸脱しない範囲で当業者が該実施例の修正や代用を成し得ることは自明である。すなわち、例示という形態で本発明を開示してきたのであり、限定的に解釈されるべきではない。本発明の要旨を判断するためには、冒頭に記載した特許請求の範囲の欄を参照すべきである。

【0040】

【発明の効果】 以上詳記したように、本発明によれば、電源電圧の変動、周囲温度の変動、ICの製造プロセスで不可避なチップ内及びチップ間のばらつきなどの各種誤差要因も、直接的且つ好適に補償できる、高精度なD/Aコンバータを提供することができる。本発明のこの

(7)

特開平8-288848

ような効果は、本来出力として用いられる定電流回路の出力電流を直接モニタすることによって導出される。

【0041】また、非出力側からの出力はそもそもGNDで終端されているだけの浪費電力であったが、本発明では該浪費電力を有効に活用することにもなる。また、電流値制御だけのための電力消費がないので、わずかながら節電にもなる。

【0042】本発明を、例えばパーソナル・コンピュータなどのデジタル的なビデオ信号をアナログ変換するためのD/Aコンバータに適用した場合、水平及び垂直走査の帰線期間やブランキング期間などのいわゆる「非表示期間」を利用して、定電流回路の出力電流量をフィードバック制御すればよい。このような非表示期間では各定電流回路の出力電流は全て非出力側に切り換えられているので、D/Aコンバータのフル・スケールの出力電流値を直接用いてフィードバック制御できる。

【図面の簡単な説明】

【図1】図1は、本発明の実施に供されるD/Aコンバータ11の構成を示した図である。

【図2】図2は、同期信号と出力端41及び非出力端42の各出力電流との関係をタイミング・チャートで示した図である。

【図3】図3は、パーソナル・コンピュータのハードウェア構成のうち、ディスプレイ装置及びその関連箇所を抽出して模式的に示した図である。

【図4】図4は、図3のD/Aコンバータ10周辺の構成を更に詳しく図解した図である。

【図5】図5(a)は蛍光面上の定走線と帰線期間・ブランキング期間との関係を模式的に示した図であり、また、図5(b)は水平同期信号17、垂直同期信号18、ブランキング信号19のタイミング・チャートを示した図である。

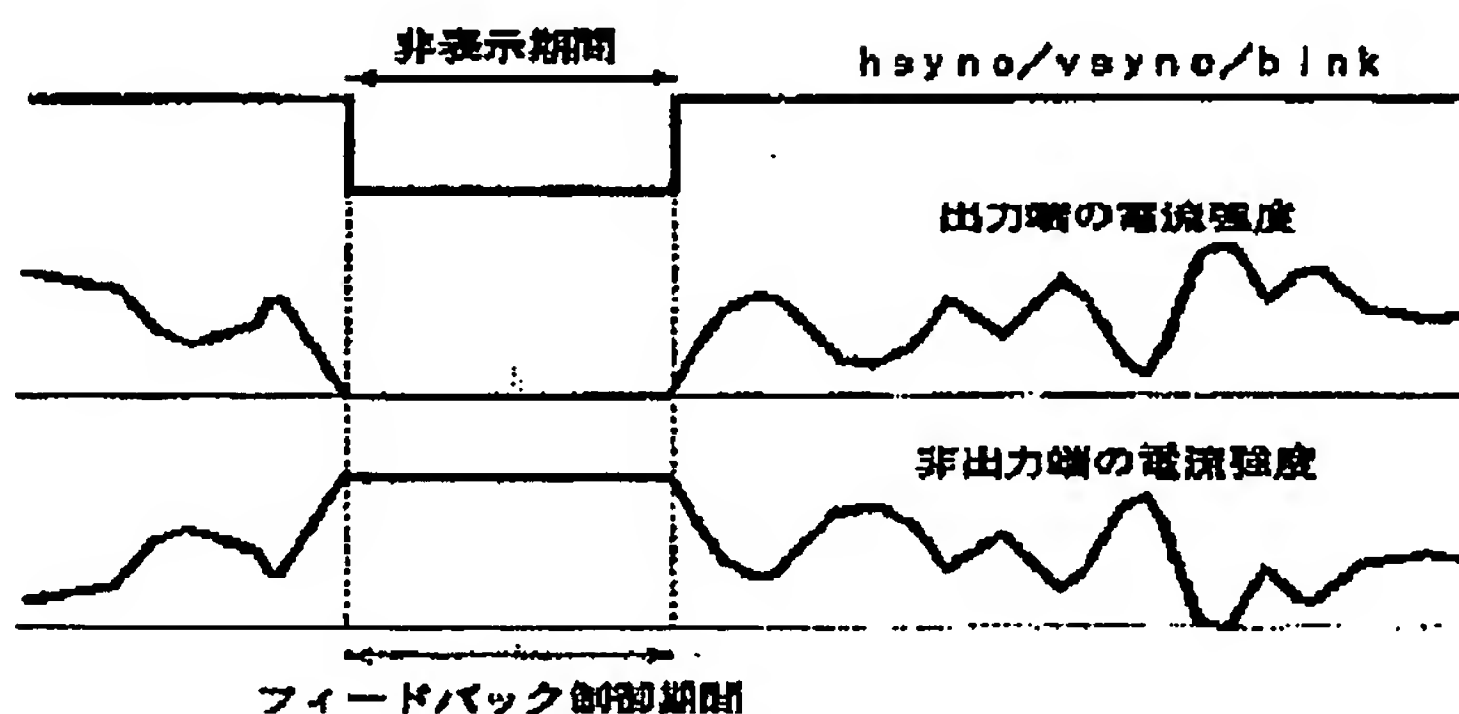
【図6】図6は、D/Aコンバータ11の構成を更に詳しく図解した図である。

【図7】図7は、補償回路32を実現したD/Aコンバータ11の一例を示した図である。

【符号の説明】

1…CPU、2…I/Oバス、3…ビデオ・コントローラ、4…VRAM、5…LCD、6…CRTディスプレイ、7…LDCD、10…D/Aコンバータ、11、12、13…D/Aコンバータ、14、15、16…バス信号線、17…水平同期信号(hsync)、18…垂直同期信号(vsync)、19…ブランキング信号(blink)、20…映像信号(R)、21…映像信号(G)、22…映像信号(B)、31…デコーダ、32…ゲート電圧発生回路、33…補償回路、34…差動アンプ、35…キャパシタ、36…制御回路、41…出力端、42…非出力端。

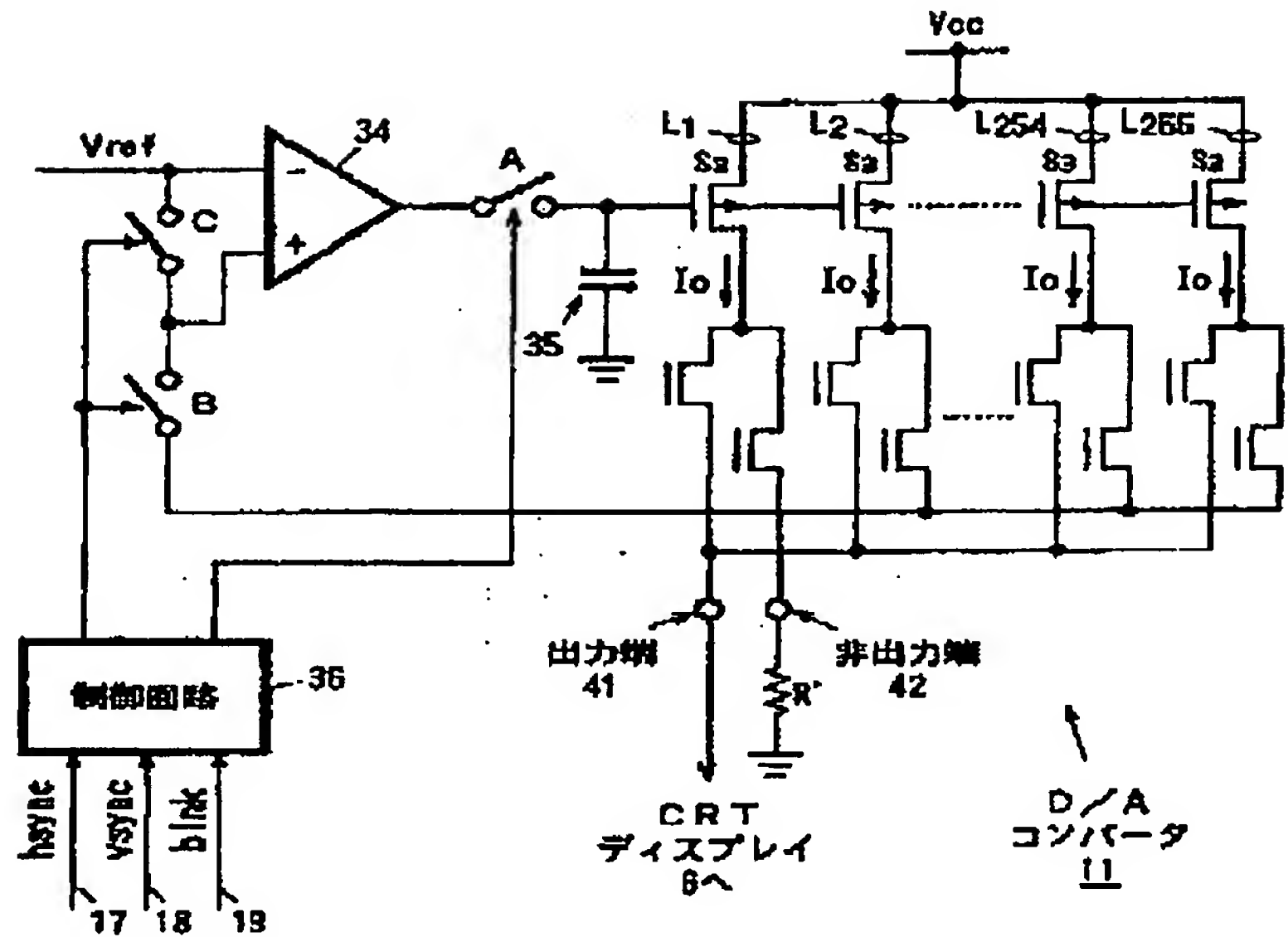
【図2】



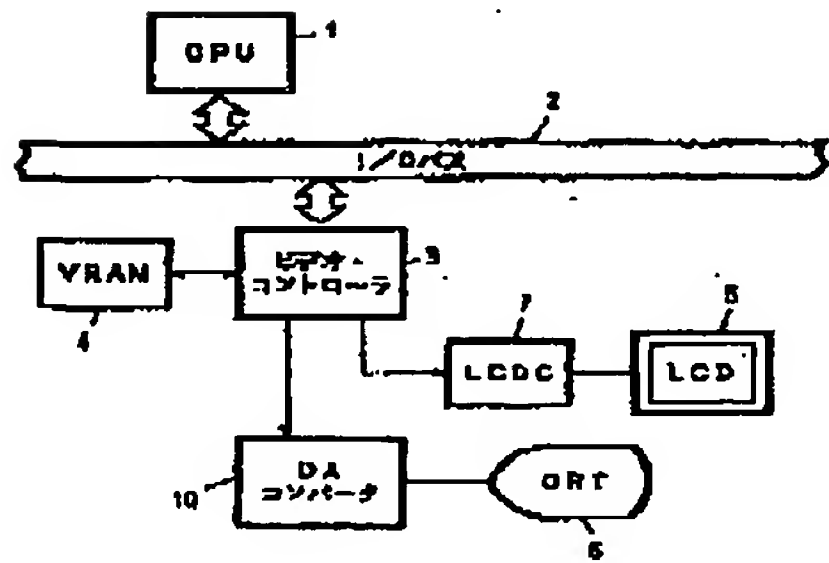
(8)

特開平 8 - 2 8 8 8 4 8

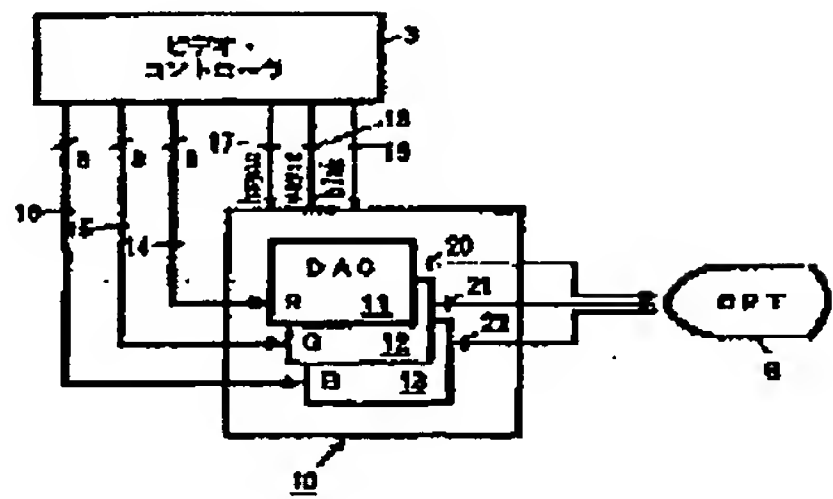
【図 1】



【図 3】



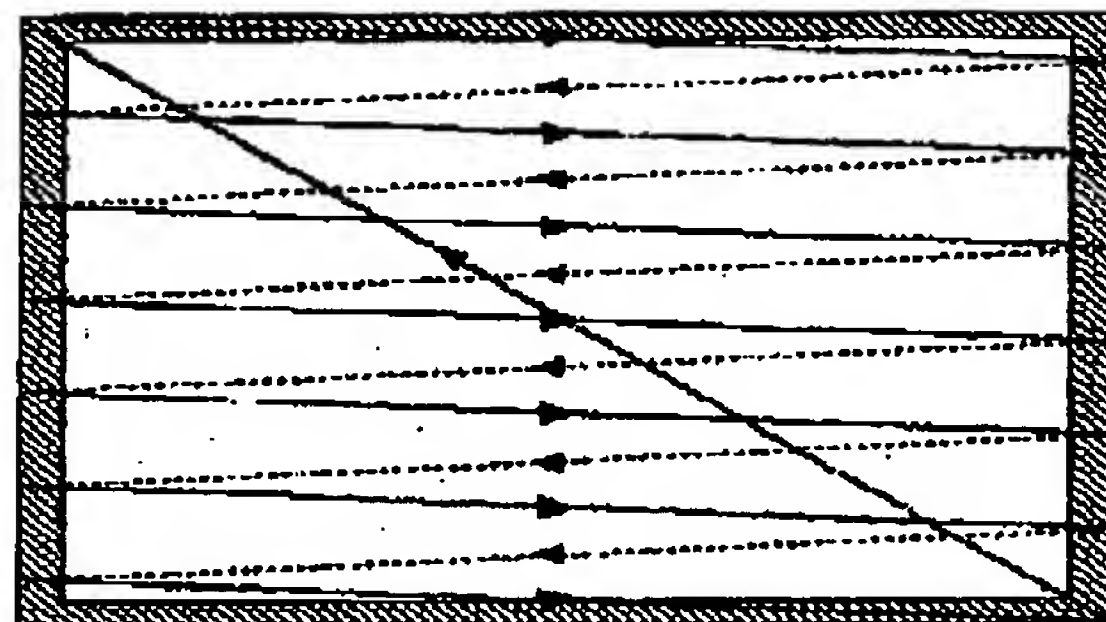
【図 4】



(9)

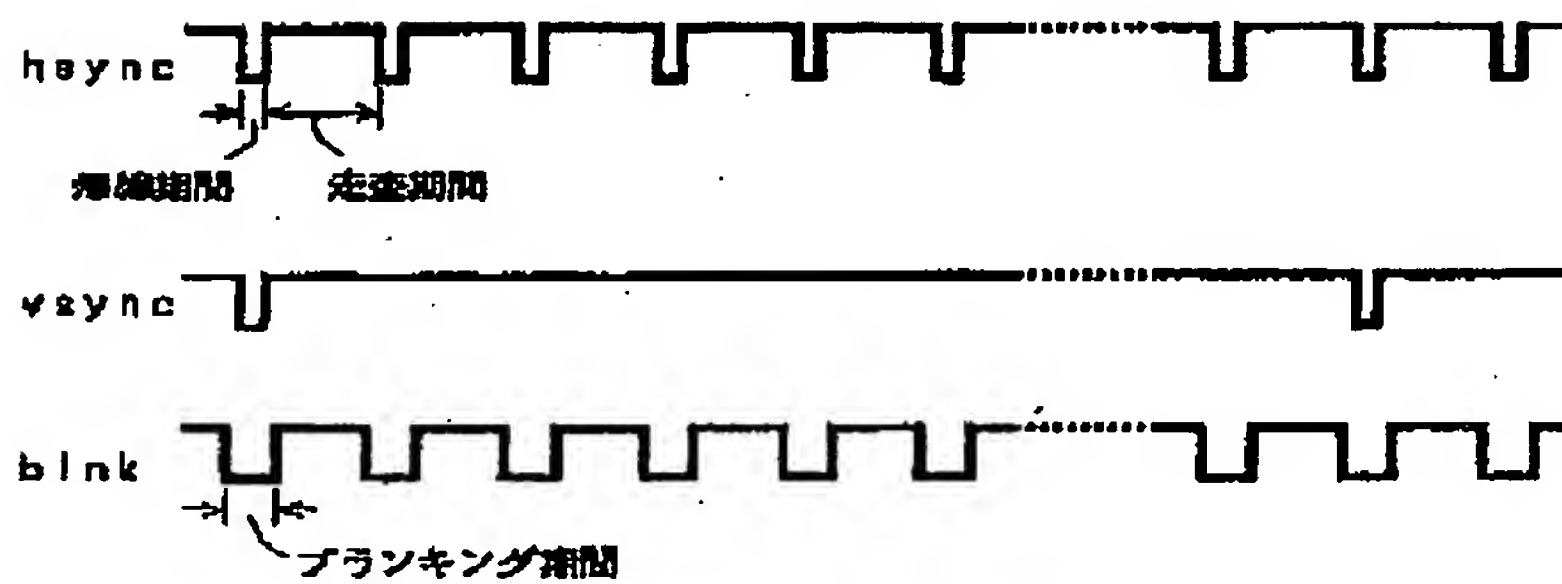
特開平 8 - 2 8 8 8 1 8

【図5】



——→ 走査期間
 - - - - - → 水平掃線期間
 → 垂直掃線期間
 ■ ■ ■ ■ ■ ブラッキング期間

(a)

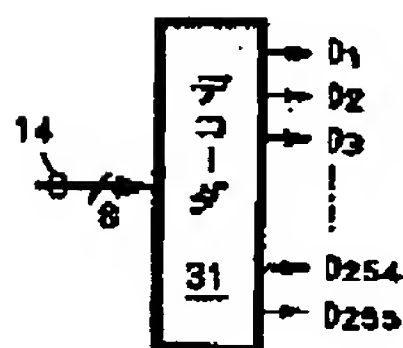
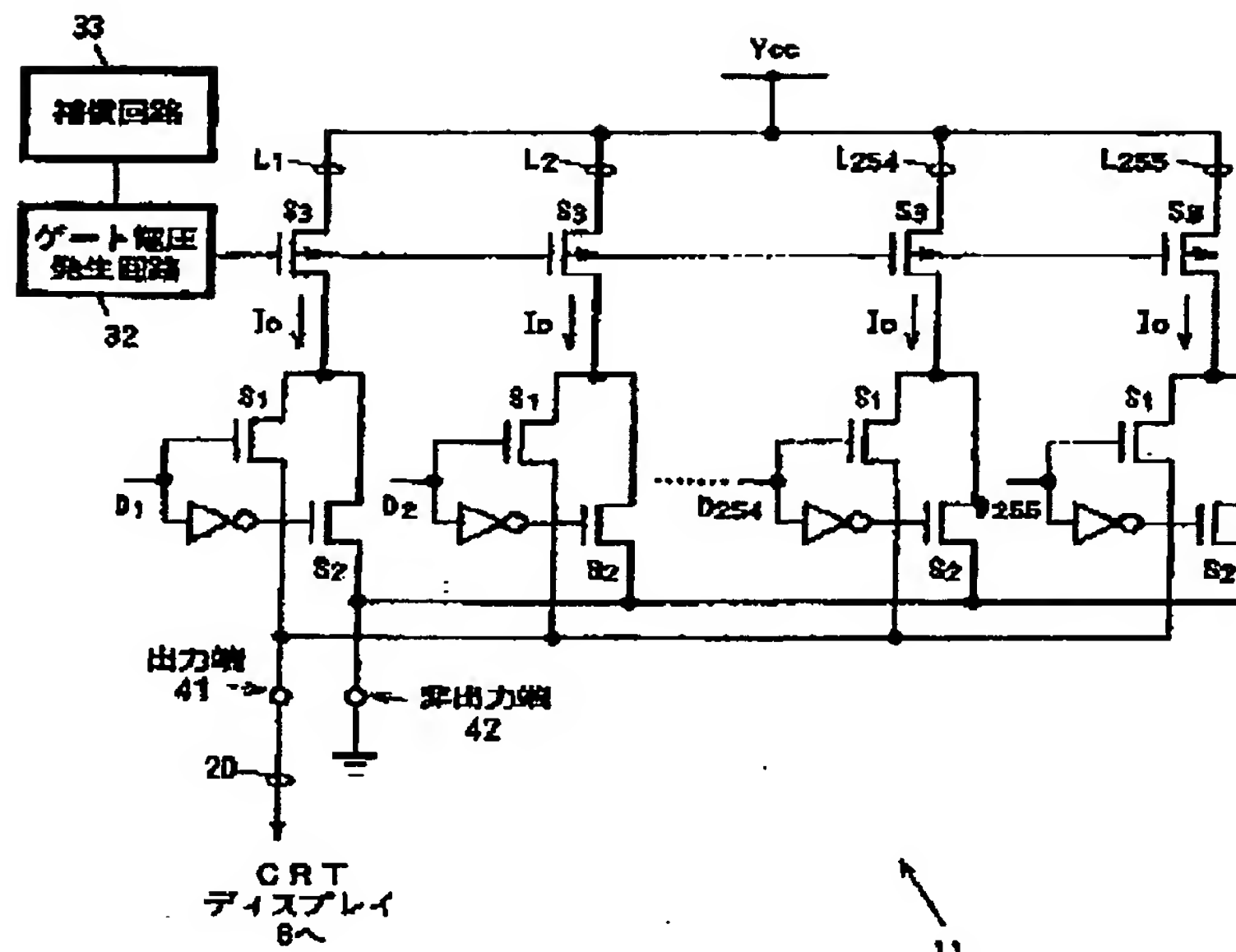


(b)

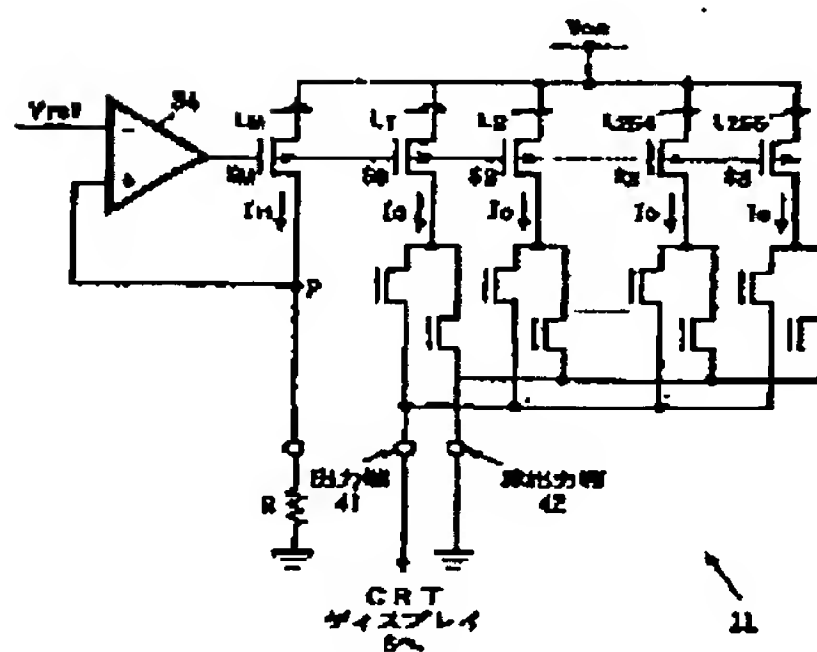
(10)

特開平8-288848

【図6】



【図7】



(11)

特開平 9 - 2 8 8 8 4 8

フロントページの続き

(72)発明者 野沢 敏
神奈川県大和市下鶴間1623番地14 日本ア
イ・ビー・エム株式会社 大和事業所内

(72)発明者 照真名 朝男
神奈川県大和市下鶴間1623番地14 日本ア
イ・ビー・エム株式会社 大和事業所内
(72)発明者 鈴木 康介
神奈川県大和市下鶴間1623番地14 日本ア
イ・ビー・エム株式会社 大和事業所内